

DIALOG(R) File 345:Inpadoc/Fam.& Legal Stat

(c) 2002 EPO. All rts. reserv.

11338566

Basic Patent (No,Kind,Date): JP 4273452 A2 19920929 <No. of Patents: 014>

METHOD OF MOUNTING IC CHIP (English)

Patent Assignee: SEMICONDUCTOR ENERGY LAB

Author (Inventor): MASE AKIRA; NEMOTO HIDEKI

IPC: *H01L-021/60; H01L-021/66; H01L-023/10

Derwent WPI Acc No: C 92-370823

JAPIO Reference No: 170069E000108

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date	
JP 4273452	A2	19920929	JP 9158324	A	19910228	(BASIC)
JP 4295090	A2	19921020	JP 9158825	A	19910322	
JP 4295091	A2	19921020	JP 9158826	A	19910322	
JP 4295092	A2	19921020	JP 9158827	A	19910322	
JP 5213694	A2	19930824	JP 9158824	A	19910322	
JP 7014880	A2	19950117	JP 9256783	A	19920207	
JP 2564728	B2	19961218	JP 9256783	A	19920207	
JP 3047485	B2	20000529	JP 9158824	A	19910322	
JP 3047486	B2	20000529	JP 9158825	A	19910322	
JP 3047487	B2	20000529	JP 9158826	A	19910322	
JP 3047488	B2	20000529	JP 9158827	A	19910322	
KR 9602093	B1	19960210	KR 923059	A	19920227	
<u>US 5261156</u>	A	19931116	US 841526	A	19920226	
US 5314540	A	19940524	US 855742	A	19920323	

Priority Data (No,Kind,Date):

JP 9158324 A	19910228
JP 9158825 A	19910322
JP 9158826 A	19910322
JP 9158827 A	19910322
JP 9158824 A	19910322
JP 9256783 A	19920207
JP 9158324 A1	19910228

DIALOG(R)File 347:JAPIO

(c) 2002 JPO & JAPIO. All rts. reserv.

04694280 **Image available**

MOUNTING METHOD FOR CHIP OF SEMICONDUCTOR INTEGRATED CIRCUIT AND
ELECTRONIC

EQUIPMENT MOUNTED THEREWITH

PUB. NO.: **07-014880** [JP 7014880 A]

PUBLISHED: January 17, 1995 (19950117)

INVENTOR(s): MASE AKIRA

NEMOTO HIDEKI

YAMAZAKI SHUNPEI

TAKEMURA YASUHIKO

APPLICANT(s): SEMICONDUCTOR ENERGY LAB CO LTD [470730] (A Japanese
Company or Corporation), JP (Japan)

APPL. NO.: 04-056783 [JP 9256783]

FILED: February 07, 1992 (19920207)

INTL CLASS: [6] H01L-021/60; H01L-021/66

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components); 46.2
(INSTRUMENTATION -- Testing)

JAPIO KEYWORD:R011 (LIQUID CRYSTALS); R116 (ELECTRONIC MATERIALS -- Light
Emitting Diodes, LED)

ABSTRACT

PURPOSE: To provide a COG type semiconductor integrated circuit chip
mounting method wherein a defective chip can be replaced for repair.

CONSTITUTION: A semiconductor integrated circuit chip and a wiring are
electrically connected together through the intermediary of projections
(bumps) or conductive particles on the lead-out electrodes of the chip or
the electrode wiring on a board, wherein organic resins different in
setting condition such as photosetting, thermosetting, or naturally setting
resin are combined and mixed together into an organic resin mixture, the
resin mixture is used in a tentative bonding process, it is checked that a
defective part is present or not, and a defective semiconductor integrated
circuit is replaced with a new one by removing organic resin.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-14880

(43) 公開日 平成7年(1995)1月17日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/60	3 1 1 S	6918-4M		
// H 0 1 L 21/66		Z 7630-4M		

審査請求 有 請求項の数 6 F D (全 7 頁)

(21) 出願番号 特願平4-56783

(22) 出願日 平成4年(1992)2月7日

(31) 優先権主張番号 特願平3-58824

(32) 優先日 平3(1991)3月22日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000153878

株式会社半導体エネルギー研究所
神奈川県厚木市長谷398番地

(72) 発明者 間瀬 晃

神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(72) 発明者 根本 英樹

神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(72) 発明者 山崎 舜平

神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

最終頁に続く

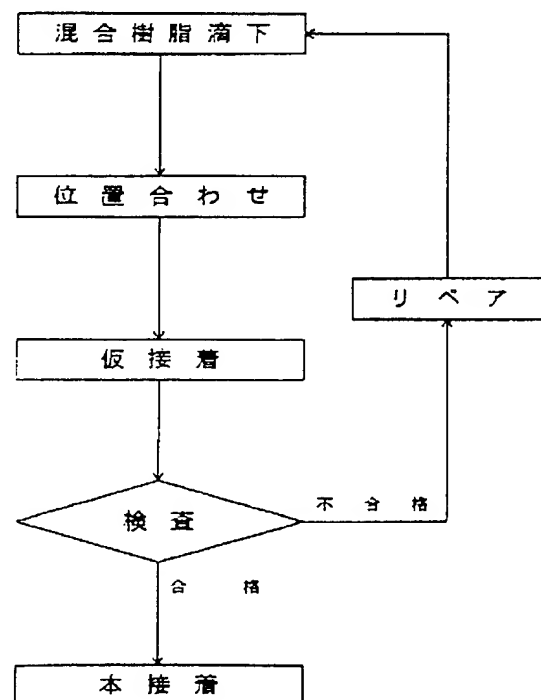
(54) 【発明の名称】 半導体集積回路チップの実装方法および半導体集積回路
れた電子機器

チップの実装さ

(57) 【要約】

【目的】 COG方式の半導体集積回路チップの実装に
おいて、リペア可能な方法を提案する。

【構成】 基板上の電極配線または半導体集積回路チッ
プの取り出し電極上の突起物（パンプ）または導電性粒
子を介して、半導体集積回路チップと配線とを電氣的に
接続する際において、光硬化性、熱硬化性あるいは自然
硬化性等異なる硬化条件の有機樹脂を組み合わせる混合
して使用し仮接着工程の後、不良部分のチェックを行
い、不良部分の半導体集積回路を有機樹脂を除去して取
り替える。



1

【特許請求の範囲】

【請求項 1】 基板上の電気配線と半導体集積回路チップの電極端子とを電気的に接続して基板上に半導体集積回路チップを搭載する半導体集積回路チップの実装方法であって、前記半導体集積回路チップを基板に接着する為の有機樹脂として、異なる硬化条件の有機樹脂を混合したものを使用して仮接着を行い、仮接着工程の後に半導体集積回路または接続部分のテストを行うことを特徴とする半導体集積回路チップの実装方法。

【請求項 2】 請求項 1 において、光硬化性の樹脂と熱硬化性の樹脂とを混合して使用したことを特徴とする半導体集積回路チップの実装方法。

【請求項 3】 請求項 1 において、被接着基板として透光性基板を用いることを特徴とする半導体集積回路チップの実装方法。

【請求項 4】 請求項 1 において、半導体集積回路チップとして絶縁基板上に形成された薄膜半導体集積回路チップを用いることを特長とする半導体集積回路チップの実装方法。

【請求項 5】 請求項 1 において、半導体集積回路チップの基板と被接着基板の少なくとも一方は透光性を有することを特長とする半導体集積回路チップの実装方法。

【請求項 6】 被接着基板上に COG 法によって実装された紫外光に対して透光性を有する基板上に形成された薄膜半導体集積回路を有することを特徴とする電子機器。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、液晶表示装置、サーマルヘッド、LED アレイ等の半導体集積回路を利用した製品において、駆動用の半導体集積回路チップを実装する方法に関するものである。

【0002】

【従来の技術】 従来より、液晶表示装置、サーマルヘッド、LED アレイ等の半導体集積回路を利用した製品においてはこれらの装置を駆動用するための半導体製品をプリント配線基板上に実装し、このプリント基板を液晶表示装置、サーマルヘッド、LED アレイ等の製品に付加した構成として商品化されている。

【0003】 この例を液晶電気光学装置で示す。通常の液晶電気光学装置は PCB 方式と呼ばれ、図 2 に示すようなプリント回路基板 21（以下 PCB）上に樹脂でモールドさせたパッケージ IC 22 を搭載し、回路配線 23 を通じて、さらにゴムコネクタ、またはフレキシブル基板 24 を用いて、液晶パネル 25 と接続されている。この図面においては基板を 2 枚重ねただけしか示していないが、実際は液晶の部分が存在している。この実装構造は現在でも、安価な液晶装置や設置スペースに余裕のある場合に採用されている。しかしながら、これら製品の軽量、薄型化等の要求が大きく、製品中に占める

2

プリント基板の容積が問題とされてきている。

【0004】 この問題を解決する構造として、COB 方式と呼ばれ、PCB 上にチップ IC を搭載し、PCB 上の回路配線にワイヤーボンディング法によって接続し、樹脂でモールドし、この回路基板と液晶パネルとはじをフレキシブル基板を用いて接続する構造や、TAB 方式と呼ばれ、ポリイミド等の材質によるフィルム上に銅配線を設け、IC チップをチップ上のパンプ等を介して、金・金の接合によってこの銅配線と接続し、このフィルムを液晶パネルの電極配線と直接接続して液晶電気光学装置の容積を減らすものであった。これらの構造はいずれも、IC チップを液晶電気光学装置とは別の基板上に設け、その基板と液晶パネルとをフィルム等にて接続するものであった。

【0005】 一方半導体 IC チップを直接に液晶表示装置、サーマルヘッド、LED アレイ等の素子が形成された基板上へ設ける方法が提案され一部実用化されている。特に、液晶表示装置のガラス基板上に直接 IC チップを設ける技術は広く COG（チップ・オン・ガラス）技術として知られている。この COG 技術とは、図 3 にその概略図を示しているが、例えばガラス基板上 30 に設けられた素子（図 3 の場合は液晶装置）に接続された電極配線 31 と IC チップ 32 の取り出し電極 33 とを直接に接続し、プリント配線基板を省略し、周辺の IC 設置部分の容積を減らしたものである。

【0006】 この接続部分の構造としては、図 3 のように基板上の配線と IC チップ 32 の電極部 33 に設けられた導電性の突起物（パンプ）34 とを接触させ、基板 30 と IC チップ 32 間を有機樹脂 35 で固定するものや図 4 に示すように基板上 40 の配線 41 と IC チップ 42 の電極端子 43 の間に導電性の粒子 44 を分散させた有機樹脂 45 を設け、この導電性の粒子 44 で IC チップ 42 と基板上の配線 41 との接続を行い、導電性の粒子を分散させた有機樹脂で接着、固定するものがある。また、接着に使用する有機樹脂としては光硬化性の樹脂や熱硬化性のものあるいは自然硬化性の樹脂等が使用されている。

【0007】

【発明の解決しようとする課題】 このような、COG 技術またはフリップチップ技術においては、IC チップが従来のように樹脂モールドされ、しかもリード電極が形成されていないために不良の IC が発生した場合の補修技術が問題となる。すなわち、IC はウェハの状態であれば IC テスター等によって、個々の機能チェックを行うことは可能であるが、IC チップを基板上に設置する為に個々に分断した後では、各々をテストすることは不可能であり、IC チップはウェハから分断の後においては、不良が発生することは避けられず、不良の IC チップが基板上に設置されることがある。

【0008】 また、IC チップと基板上の配線とを直接

3

に接触させるために、接続部分での不良も若干ながら発生する。当然ながらこれらの不良が発生した場合は不良箇所の IC チップを取り外して、良品の IC を再度接続する必要がある。しかしながら、従来の実装技術では、IC チップの配線上への固定は一段階の工程で行われるために、IC チップを実装後に不良が判明した場合には不良部分の IC を除去し取り替えることが困難であった。

【0009】接着用の樹脂として、光硬化性樹脂を使用した場合、その多くは変性アクリル材からなり完全硬化後は非常に強力な溶剤を使用して樹脂を解かし取る必要があった。また、エポキシ系の光硬化性樹脂を使用した場合には完全硬化後はこの樹脂を溶解させる溶剤がなく、熱歪みを加えて機械的に剥離させる方法しか存在していなかった。熱硬化性の樹脂を使用した場合も同様で、樹脂を溶解させる溶剤がなく、熱歪みを加えて機械的に剥離させる方法しか存在していなかった。

【0010】このような剥離法を用いて IC チップのリペアを行った場合、接着に使用した樹脂が一部残存するとともに、基板上の配線が剥がれたり、配線の接続部分の表面が汚染され良好な電気接続を実現できなくなった。そのため、基板上に搭載した IC チップの機能試験の後に不良部分を容易にリペアできる確実な方法が求められていた。

【0011】

【課題を解決するための手段】本発明は基板上の電極配線または IC チップの取り出し電極上の突起物（バンブ）または導電性粒子を介して、IC チップと配線とを電気的に接続する際において、光硬化性、熱硬化性あるいは自然硬化性等異なる硬化条件の有機樹脂を組み合わせることで混合して使用し仮接着工程の後、不良部分のチェックを行い、不良部分の IC を有機樹脂を除去して取り替えることを特徴とするものである。

【0012】具体的な IC の実装工程を図 1 にフローチャートとして示す。すなわち、まず配線付近に光硬化性、熱硬化性あるいは自然硬化性の有機樹脂を組み合わせることで混合した接着剤をディスペンサー等で滴下する。次に IC チップと配線の位置合わせを行う、次に圧力を加えて IC チップと配線とを接触させるとともに、光または熱を加えて、仮接着する。次に IC の不良および接続の不良テストを行う。このテストで合格したものは、次工程の本接着へ進み、不合格のものは接着材を除去し、再度最初の工程に戻るものである。

【0013】液晶電気光学装置等複数の IC チップを基板上に多数搭載する場合はこのテストの工程を全ての IC チップが仮接着した後に行う方が効率よくリペアできる。ここで、従来は IC チップとは、単結晶半導体、例えば単結晶シリコン上に形成されたモノリシック回路のことを意味していたが、例えば、ガラスのような絶縁体基板上に形成された薄膜半導体回路から成る集積回路で

4

あってもよい。特に、本発明ではこのような絶縁体上に形成された集積回路を用いるといくつかのメリットがある。したがって、以下では、IC チップも含めて半導体集積回路チップと呼ぶこととする。

【0014】ここでいう仮接着を実現する為に本発明においては、光硬化性、熱硬化性あるいは自然硬化性の有機樹脂を組み合わせることで混合した接着剤を使用する。そしてその割合を例えば光硬化性樹脂と熱硬化性樹脂を混合する場合は光硬化性のものを全体の 10% 残りを熱硬化性にして混合し、仮接着の際には光を照射して、光硬化性樹脂を硬化させ実現する。一方逆の場合には熱を加えて仮接着を実現する。このように異なる種類の接着材の割合の重みを付けて、仮接着を実現するものである。

【0015】特に、光硬化性の樹脂と熱硬化性の樹脂とを光硬化性の樹脂が少ない比率で混合した場合、仮接着の工程での光照射で硬化するのは光硬化樹脂のみであるので本発明の特徴である、接着材除去後に残存物が存在せずかつ清浄な基板表面を実現できる。すなわち、他の特性の樹脂の混合の組み合わせに比べて、硬化条件の差が大きく、容易に未接着の部分の接着剤を除去できるものである。

【0016】また、本発明でいう異なる性質の有機樹脂を混合することには、異なる硬化条件のものを混合することも含まれる。例えば、光硬化性の場合、硬化する光の波長が 350 nm と 405 nm のものを 1 対 9 の割合で混合することや、熱硬化の場合、硬化温度 100℃ のものと 250℃ のものとを混合することも本発明の混合の範囲に含まれる。

【0017】さらに、異なる特性の有機樹脂の混合割合は仮接着を行う硬化条件の有機樹脂の割合を少なくするものであるが、50% に近づく程、仮接着後に不良が判明した場合に半導体集積回路チップを剥がすことが困難になってくる。その為、仮接着を行う硬化条件の有機樹脂の割合は 20% 以下にする方がリペア後の再度の接着で良好な電気的接続の結果を得ることができる。逆に 0% に近くなると、電気的な接触を保つために圧力を加えて仮接着したものがはがれ、電気的な接触がとれなくなるため、2~3% 以上は必要であった。

【0018】また、例えば、仮接着あるいは本接着の際に光硬化性の樹脂を用いる場合には接着剤に光があたる必要がある。その場合にはいくつかの組合せが考えられる。まず、半導体集積回路チップが従来の IC チップのような不透明な材料でできている場合には、接着されるべき基板（被接着基板）が透光性を有することが求められる。もし、用いられる接着材が紫外光によって硬化するものであれば、基板は石英のような紫外光の透過性が高いものでなければならない。

【0019】しかしながら、例えば、液晶表示装置のような大面積のものに対応するような石英基板は非常に高価である。また、安い基板は紫外光の透過性に劣る。実

際には、多くの光硬化性の接着剤は紫外光によって硬化し、可視光以上の波長の電磁波で硬化するものは少ない。

【0020】したがって、半導体集積回路チップが不透明な材料でできているということは、作製プロセス上に大いなる制約をもたらすこととなる。これに対し、半導体集積回路が透明な基板、特に紫外光に対しても透明な基板上に形成されている場合は上記の困難は生じない。そのような基板材料としては石英が代表的であるが、半導体集積回路を構成する程度の面積の小さな石英はコストも低い。また、石英は特に、耐熱性があるので、半導体集積回路を作製するプロセスとしては、従来の単結晶シリコン半導体とほとんど同じ高温プロセス（最高温度1000℃以上）を使用することも、あるいは低温プロセス（最高温度600℃程度）を採用することも任意である。このように本発明を実施するにあたっては、対象とする半導体集積回路チップと被接着基板、および接着材の特性を考慮することが肝要である。

【0021】

【実施例】〔実施例1〕本実施例は図3に示した構造の接続を持つCOG技術に本発明を適用した。実装の工程は図1のフローチャートに従って各工程を行った。石英ガラス基板30上の電極配線31は公知の方法により、透明電極を形成後フォトリソ技術により形成され、さらにICチップとの接続部付近には無電界メッキ法により、ニッケルを0.5μm、さらにその上に金を0.05μmの厚さに形成した。シリコンICチップ32の電極33はアルミニウム上にチタンを形成し、その上面に無電界メッキにより、金を20μm形成しパンプ34とした。

【0022】まず配線付近に光硬化性と熱硬化性の有機樹脂を組み合わせて混合した接着剤をディスペンサー等で滴下する。この有機樹脂の混合比率は光硬化性樹脂15%熱硬化性樹脂85%とした。

【0023】次にICチップと配線の位置合わせを行った。次に圧力を加えてICチップと配線とを接触させるとともに、365nmの波長の光を持つ紫外光源にて、ガラス基板側から300秒光を照射し、混合した有機樹脂のうち光硬化性の有機樹脂のみを硬化し、仮接着した。次にICの不良および接続の不良テストを行った。このテストで合格したものは、次工程の本接着へ進む、不合格のものは有機樹脂接着剤の溶剤またはシンナーを樹脂部分に染み込ませて、約60秒放置後、外部よりゆるやかな力を加えて、ICチップを剥離した。その後、有機樹脂を溶剤にて除去し、清浄な接触面を再現した後再度、混合した有機樹脂により、ICチップを接合した。

【0024】このようにして、全てのICチップの正常動作を確認した後、120℃のN₂雰囲気の下で、15分間本接着を行い、ICチップと基板との電気

的な接続と接着を完了した。

【0025】表1には本実施例の手法に基づき、リペアーを繰り返し行った場合のICチップと配線との接続抵抗の値を示す。このように繰り返しリペアーを行っても接続抵抗の値が変化せず再現性のよい、電気接続を行えることがわかった。

【0026】

【表1】

リペアー回数	接続抵抗値
0	0.5Ω
1	0.4Ω
2	0.5Ω
3	0.6Ω
4	0.5Ω
5	0.6Ω
10	0.6Ω
20	0.6Ω

【0027】〔実施例2〕本実施例は図3に示した構造の接続を持つCOG技術に本発明を適用したものである。実装の工程は図1のフローチャートに従って各工程を行った。ソーダガラス基板30上の電極配線31は公知の方法により、透明電極を形成後フォトリソ技術により形成され、さらに半導体集積回路チップとの接続部付近には無電界メッキ法により、ニッケルを0.5μm、さらにその上に金を0.05μmの厚さに形成した。

【0028】半導体集積回路チップ32としては、石英基板上に高温プロセスによって形成した薄膜シリコントランジスタからなる回路を用いた。その電極33はアルミニウム上にチタンを形成し、その上面に無電界メッキにより、金を20μm形成しパンプ34とした。そして、実施例1と同じ同じ接着剤を塗布した。

【0029】次に半導体集積回路チップと配線の位置合わせを行った。次に圧力を加えて半導体集積回路チップと配線とを接触させるとともに、365nmの波長の光を持つ紫外光源にて、半導体集積回路側から300秒光を照射し、混合した有機樹脂のうち光硬化性の有機樹脂のみを硬化し、仮接着した。以下の手順は実施例1と同じであった。このようにして、半導体集積回路チップとソーダガラス基板との電気的な接続と接着を完了した。

【0030】〔実施例3〕本実施例は図3に示した構造の接続を持つCOG技術に本発明を適用し、液晶表示装置（液晶パネル）の作製に用いたものである。実装の工程は図1のフローチャートに従って各工程を行った。

【0031】ガラス基板（コーニング7059）30上

10

20

30

40

50

の電極配線 31 は公知の方法により、透明電極を形成後フォトリソ技術により形成され、さらに半導体集積回路チップとの接続部付近には無電界メッキ法により、ニッケルを $0.5\mu\text{m}$ 、さらにその上に金を $0.05\mu\text{m}$ の厚さに形成した。ガラス基板は 2 枚用意し、一方の大きさは $5\text{cm} \times 10\text{cm}$ 、他方の大きさは $7\text{cm} \times 6\text{cm}$ であった。厚さはいずれも 1.1mm であった。これらのガラス基板には透明導伝膜を形成して、単純マトリクスで駆動できるようになっている。この液晶表示装置の画像表示部分の大きさは $5\text{cm} \times 7\text{cm}$ であった。

【0032】半導体集積回路チップ 32 としては、やはりコーニング 7059 ガラス基板上にレーザーアニールプロセスを含む低温プロセスによって形成した薄膜シリコントランジスタからなる回路を用いた。その電極 33 はアルミニウム上にチタンを形成し、その上面に無電界メッキにより、金を $20\mu\text{m}$ 形成しパンプ 34 とした。そして、実施例 1 と同じ同じ接着剤を塗布した。このように端子部を形成した細長い 2 種類の集積回路（すなわちスキャン用ドライバーとデータ用ドライバー）をそれぞれ 2 つずつ、計 4 つ用意した。それらの大きさはスキャン用ドライバー（ゲイトドライバー）は幅 5mm 、長さ 5cm 、厚さ 1.1mm で、端子は $100\mu\text{m}$ ピッチで 480 本とした。一方、データ用ドライバーは幅 5mm 、長さ 7cm 、厚さ 1.1mm で、端子は $100\mu\text{m}$ ピッチで 640 本とした。

【0033】まず、2 枚のガラス基板 30a および 30b をあわせて内部に液晶を注入した。その後、図 5 に示すようにそれぞれのガラス基板 30a、30b の端部に各集積回路チップ 32a～32d を装着した。そして、実施例 1 および 2 と同様に圧力を加えて半導体集積回路チップと配線とを接触させるとともに、 365nm の波長の光を持つ紫外光源にて、ガラス基板側から 600 秒光を照射し、混合した有機樹脂のうち光硬化性の有機樹脂のみを硬化し、仮接着した。

【0034】この様子を断面図で示したものが図 5 (C) である。すなわち、最初にガラス基板 30a および 30b を合わせ、液晶 36 をその間に注入した。次いで、前述の棒状の半導体集積回路（ドライバー）チップ 32a と 32b をガラス基板 30b の端部に接着した。コーニング 7059 ガラスは、紫外光透過性が石英に比べて劣っているので、接着材の硬化を確実にこなうために実施例 1、2 に比して光照射時間を長くした。以下の手順は実施例 1 と同じであった。このようにして、半導体集積回路チップとガラス基板との電気的な接続と接着を完了した。この場合には、被接着基板と半導体集積回路基板とは同じ材料で出来ているので、その後の熱処理によっても熱膨張係数の違いから剥がれることはなく、極めて信頼性の高いものであった。

【0035】以上とは逆に、図 5 (B) に示すように、まず、それぞれのガラス基板に半導体集積回路チップを

形成してから液晶を注入してもよい。しかしながら、その場合には液晶を注入する際の機械的なダメージが半導体集積回路チップとガラス基板との接続部分に及ぶこともある。

【0036】以上の例では単純マトリクス方式の場合を示した。単純マトリクス方式では、2 枚のガラス基板の双方にドライバーが装着される。一方、例えば TFT 方式のアクティブマトリクスでは、ドライバーは一方の基板だけにスキャン用もデータ用も形成されるが、操作手順自体は本質的には変わらない。本実施例では、スキャン用ドライバーとデータ用ドライバーをそれぞれ 2 つずつ使用したが、その数は必要に応じて増減される。

【0037】従来の液晶表示装置では、スキャン用、データ用にそれぞれ $6 \sim 10$ 個ものドライバー IC を必要としていた。そのために表示装置の周辺は大変、複雑な配線がゴチャゴチャ形成されていた。しかしながら、図 5 からわかるように、本実施例で示した棒状のドライバーを装着したことによって、端部は非常にコンパクトになり、デザイン的にもファッショナブルなものになった。このような長細いドライバーは大面積に形成されるので、不良がある確率が大きく、本発明のようにリペア技術が無ければ作製できないものであった。

【発明の効果】半導体集積回路チップと基板上の配線との接着を混合した有機樹脂で行うことにより、仮接着が実現できたので、半導体集積回路チップのリペアが容易に行えるようになった。また、上記実施例に示すように、混合有機樹脂により、何度もリペアした後でも、電気的な接続部分の清浄の程度と不要な樹脂の残存物が存在しないので、再現性の良いリペアを実現できた。

【0038】特に本発明では、被接着基板と半導体集積回路基板と接着剤の組合せによってさまざまなバリエーションが可能である。例えば、従来の IC チップは不透明でせいぜい 1cm 角の大きさしかなかったが、ガラス基板上に形成する半導体集積は、実質的に透明（回路部は不透明であるが、肉眼では判別できない。）であり、大きさも比較的自由に設定できる。例えば幅 5mm 、長さ 10cm の細長い棒状のもの（スティックもしくはスティック・クリスタルと称する）とすることも可能である。

【0039】これを例えば液晶表示装置に適用した場合には、画面の周囲に複雑な配線をバタニングする必要もなく、実装に必要な部分は極めてシンプルであり、また、周辺回路部も透明であるので極めてファッション性に富んだ製品となる。しかしながら、一方ではこのようなガラス基板上に形成された半導体集積回路はその作製プロセスが確立されていないので、不良品が発生することも多かった。したがって、このようなガラス上の半導体集積回路を接着することは、本発明のようなリペア技術なくしては語れないものである。

【図面の簡単な説明】

【図 1】 本発明の工程のフローを示す。

【図 2】 従来の半導体集積回路チップの実装構造の概略図を示す。

【図 3】 本発明の半導体集積回路チップの実装構造を示す。

【図 4】 本発明の半導体集積回路チップの実装構造を示す。

【図 5】 本発明を利用して液晶表示装置を組み立てる様

子を示す。

【符号の説明】

30・・・基板

31・・・配線

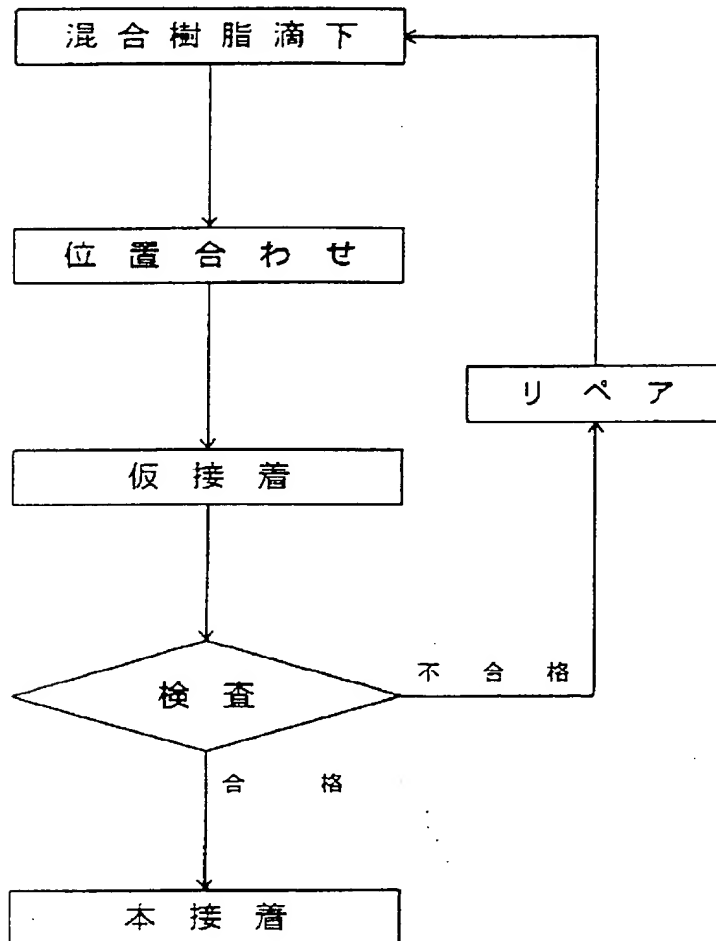
32・・・ICチップ

33・・・取り出し電極

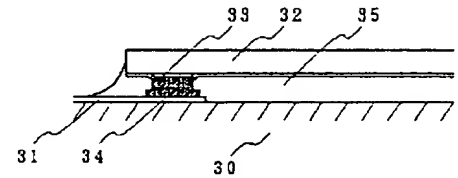
34・・・バンプ

35・・・接着用樹脂

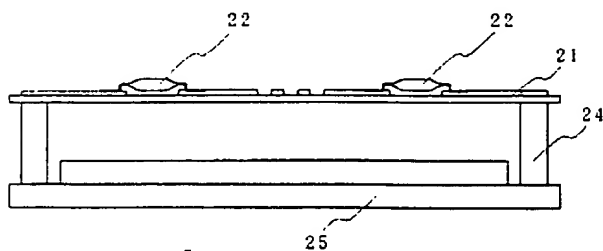
【図 1】



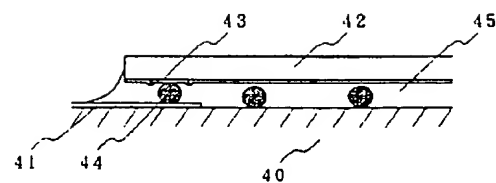
【図 3】



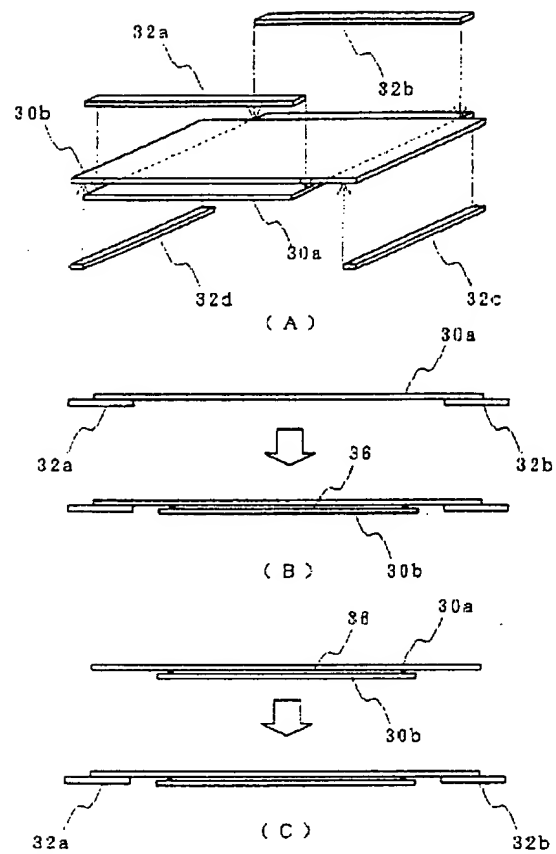
【図 2】



【図 4】



【図 5】



フロントページの続き

(72)発明者 竹村 保彦
 神奈川県厚木市長谷398番地 株式会社半
 導体エネルギー研究所内